

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-007397

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

G11C 29/00

(21)Application number : 08-145266

(71)Applicant : INTERNATL BUSINESS MACH CORP
<IBM>

(22)Date of filing : 07.06.1996

(72)Inventor : ADAMS ROBERT DEAN
JOHN CONNOR
GARRETT STEPHEN KOCH
TERNULLO LUIGI JR

(30)Priority

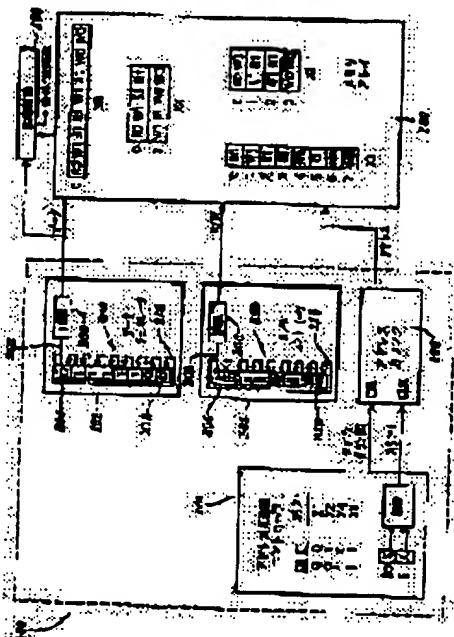
Priority number : 95 485296 Priority date : 07.06.1995 Priority country : US

(54) SELF TEST CIRCUIT WITH BUILT-IN MEMORY ARRAY AND METHOD FOR THE TEST

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a self test circuit with a built-in memory array which has a programmable pattern generator to permit a definite read/write operation to an adjacent memory cell.

SOLUTION: The test circuit is a test circuit having an on-chip memory array and provided with a programmable pattern generator 100 coupled to an external controller and a memory array 150. The pattern generator is provided with a read/write controller 104 for providing a read/write control to the memory array, a data generator 102 for providing data to the memory array and an address frequency controller 108. The external controller programs an adequate frequency pattern in the address frequency controller and determines a cycle count for the memory array executed by the pattern generator at each address of the memory array.



LEGAL STATUS

[Date of request for examination]

22.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3431761

[Date of registration]

23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-7397

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	PI	技術表示箇所
G11C 29/00	303		G11C 29/00	303B 303D

審査請求 未請求 請求項の数15 OL (全 15 頁)

(21)出願番号	特願平9-145266	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22)出願日	平成8年(1996)6月7日	(72)発明者	ロバート・ディー・アダムス アメリカ合衆国05462 バーモント州エセックス・ジャンクション カントリーサイド・ドライブ 31
(31)優先権主張番号	485296	(74)代理人	弁理士 合田 康 (外2名)
(32)優先日	1995年6月7日		
(33)優先権主張国	米国(US)		

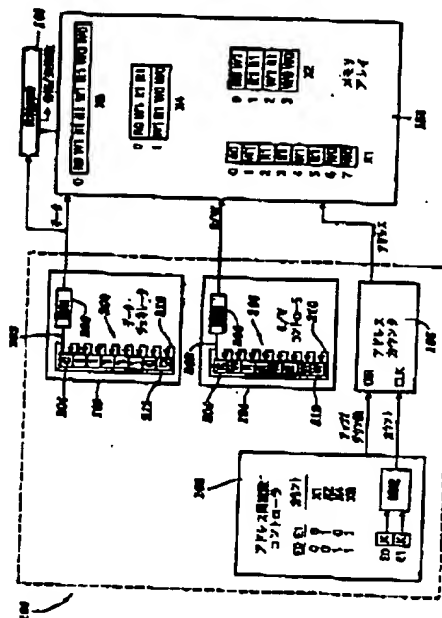
最終頁に続く

(54)【発明の名称】 メモリ・アレイ組込み自己テスト回路及びそのための方法

(57)【要約】

【課題】 隣接するメモリ・セルに対して一時的読取り／書き込み動作を許可するためのプログラマブル・パターン・ジェネレータを備えるメモリ・アレイ組込み自己テスト回路及びテスト方法を提供する。

【解決手段】 本発明のテスト回路は、外部コントローラとメモリ・アレイ150とに結合されたプログラマブル・パターン・ジェネレータ100を備える。メモリ・アレイ用オンチップ組込みテスト回路であって、前記パターン・ジェネレータがメモリ・アレイに対する読取り／書き込み制御を提供する読取り／書き込みコントローラ104と、メモリ・アレイにデータを提供するデータ・ジェネレータ102と、アドレス周波数コントローラ108とを備え、外部コントローラがアドレス周波数コントローラ中に適当な周波数パターンをプログラムして、メモリ・アレイの各アドレスでパターン・ジェネレータが実行する、メモリ・アレイに対するサイクル数を決定する。



1

【特許請求の範囲】

【請求項1】外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレータを備える、メモリ・アレイ用オンチップ組込みテスト回路であって、前記パターン・ジェネレータが前記メモリ・アレイに対する読取り／書き込み制御を提供する読取り／書き込みコントローラと、

前記メモリ・アレイにデータを提供するデータ・ジェネレータと、

アドレス周波数コントローラとを備え、

前記外部コントローラが前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクル数を決定することを特徴とするテスト回路。

【請求項2】前記アドレス周波数コントローラと前記メモリ・アレイとに結合され、前記メモリ・アレイにアドレスを提供し、かつ前記メモリ・アレイの各アドレスごとに1回クロックされる前記アドレス周波数コントローラからのクロック出力にตอบสนองして次のアドレスまでカウントする、アドレス・カウンタをさらに備える、請求項1に記載の回路。

【請求項3】前記読取り／書き込みコントローラが、パレル・シフト・レジスタを形成する読取り／書き込みラッチを備えることを特徴とする、請求項1に記載の回路。

【請求項4】読取り／書き込みラッチの数が少なくとも2個であることを特徴とする、請求項3に記載の回路。

【請求項5】前記データ・ジェネレータが、パレル・シフト・レジスタを形成するデータ・ラッチを備えることを特徴とする、請求項1に記載の回路。

【請求項6】データ・ラッチの数が少なくとも8個であることを特徴とする、請求項5に記載の回路。

【請求項7】前記データ・ジェネレータからのデータを所定の条件下で反転する論理手段をさらに備える、請求項1に記載の回路。

【請求項8】有意のワード・アドレスと有意のビット・アドレスが所定のブール関係を有するときに前記論理手段がデータを反転することを特徴とする、請求項7に記載の回路。

【請求項9】前記読取り／書き込みコントローラからの読取り／書き込み制御を所定の条件下で反転する論理手段をさらに備える、請求項1に記載の回路。

【請求項10】外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレータ状態機械を備える、メモリ・アレイ用のオン・チップ組込みテスト回路であって、前記状態機械が前記メモリ・アレイに読取り／書き込み制御を提供する出力を有する第1のパレル・シフト・レジスタを形成する少なくとも2個の読取り／書き込みラッチを備える読取り／書き込みコントローラと、

(2)

特開平9-7387

2

前記メモリ・アレイにデータを提供する出力を有する第2のパレル・シフト・レジスタを形成する少なくとも2個のデータ・ラッチを備えるデータ・ジェネレータと、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクル数のそれぞれごとに1回パルスされるクロック出力を有するアドレス周波数コントローラと、

前記アドレス周波数コントローラと、前記メモリ・アレイとに結合され、前記メモリ・アレイにアドレスを提供し、かつ前記アドレス周波数コントローラのクロック出力にตอบสนองして次のアドレスまでカウントする、アドレス・カウンタとを備え、

10

前記外部コントローラが前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクルの数を決定することを特徴とするテスト回路。

【請求項11】前記アドレス周波数コントローラが、前記メモリ・アレイに対する各サイクルごとに1回そのクロック出力をパルスすることを特徴とする、請求項10に記載の回路。

20

【請求項12】前記アドレス周波数コントローラが、前記メモリ・アレイに対する2サイクルごとに1回そのクロック出力をパルスすることを特徴とする、請求項10に記載の回路。

【請求項13】前記アドレス周波数コントローラが、前記メモリ・アレイに対する4サイクルごとに1回そのクロック出力をパルスすることを特徴とする、請求項10に記載の回路。

【請求項14】前記アドレス周波数コントローラが、前記メモリ・アレイに対する8サイクルごとに1回そのクロック出力をパルスすることを特徴とする、請求項10に記載の回路。

30

【請求項15】メモリ・アレイの適当な読取り／書き込み制御信号に結合された読取り／書き込みコントローラと、前記メモリ・アレイの適当なデータ信号に結合されたデータ・ジェネレータと、前記メモリ・アレイの適当なアドレス信号に結合されたアドレス・カウンタと、

前記アドレス・カウンタのクロック入力に結合され、前記クロック入力をパルスする前にパターン・ジェネレータが実行する、メモリ・アレイに対するサイクルの数を決定するための、アドレス周波数コントローラとを備える、外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレータを提供するステップと、

40

前記外部コントローラによって、適当な読取り／書き込みパターンを前記読取り／書き込みコントローラ中にプログラムするステップと、

50 前記外部コントローラによって、適当なデータ・パター

(3)

特開平9-7397

3

ンを前記データ・ジェネレータ中にプログラムするステップと、

前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクル数を決定するステップと、前記アドレス・カウンタに含まれる第1アドレスでメモリ・アレイに対して少なくとも1つのサイクルを実行するステップと、

前記アドレス周波数コントローラによって決定される、前記メモリ・アレイに対するサイクル数を前記パターン・ジェネレータが実行したとき、前記アドレス周波数コントローラによって前記アドレス・カウンタのクロック入力をパルスすることにより、前記アドレス・カウンタを次のアドレスに進めるステップとを含む、メモリ・アレイをテストする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に集積回路のテストに関し、より詳細にはメモリ・アレイなど集積回路の一部分の機能をテストするために集積回路チップ上で実施される組み込み自己テスト回路及び方法に関する。

【0002】

【従来の技術】集積回路の進歩により、単一チップ上にますます多くの回路を集積できる能力が高まってきた。チップ上の回路の複雑さが増大するにつれて、回路を徹底的にテストする必要も増大している。しかし、これらの回路の多くは外部テスト機器からアクセス可能な接続をほとんどまたは全く備えていず、そのため外部機器によるこうした回路のテストは非常に難しくあるいは全く不可能になっている。集積回路をテストする問題に対する一般的な解決方法は、テスト回路をチップ自体に埋め込むものであり、一般にアレイ組み込み自己テスト(ABIST)と呼ばれている。ABIST回路は通常回路の機能をテストし、その回路が適切に機能していない場合は障害の指示を示す。

【0003】単一チップ上に集積される回路の数が増加するにつれて、オンチップABIST回路の複雑さと精巧さも増大する。異なる適用例用に異なる様々なタイプの自己テスト回路が知られている。そのような自己テスト回路の一つのタイプは、メモリ・アレイに印加するランダム・データ・パターンを生成するものである。ランダム・データ自己テスト回路の例としては、米国特許第5331643号「Self-Testing Logic with Embedded Arrays」(1994年7月19日にスミス(Smith)が発行、インターナショナル・ビジネス・マシーンズ・コーポレーションに譲渡)、米国特許第5301199号「Built In Self Test Circuit」(1994年4月5日にイケナガ他が発行、NTTコーポレーションに譲渡)、米国特許第5138618号「Built-In Self Test for I

4

ntegrated Circuit Memory」(1992年8月11日にファサング(Fasang)他が発行、ナショナル・セミコンダクター・コーポレーションに譲渡)、米国特許第5006787号「Self Testing Circuitry for VLSI Units」(1991年4月9日にカティルジョウル(Katircioglu)他が発行、ユニシス・コーポレーションに譲渡)がある。これらの特許はすべて参照により本明細書に組み込む。

【0004】上記のようなランダムデータを生成する自己テスト回路はメモリ・アレイの決定的テスト、すなわち定義された一連のデータを用いてアレイをテストするのには使用できない。さらに、ランダム・データは、メモリ・アレイを、例えばバーンイン・テスト中に必要な既知の状態に置くことができない。しかし、プログラマブル・データを生成する他の自己テスト回路が知られている。例えば、米国特許第5224101号「Micro-Coded Self-Test Apparatus for a Memory Array」(1993年6月29日ポピヤク(Popovak)ジュニアが発行、アメリカ合衆国に譲渡)は、マイクロコード・シーケンスを使って読取り専用メモリ(ROM)の内容からテスト・アルゴリズムを決定する自己テスト回路を開示しており、これを参照により本明細書に組み込む。しかし、そのアルゴリズムがROM中にプログラムされた後は、テスト・アルゴリズムは固定され、異なるテスト・パラメータ用に再プログラミングできない。米国特許第5301156号「Configurable Self-Test for Embedded Rams」(1994年4月5日タリー(Talley)が発行、ヒューレット・パッカード・コーポレーションに譲渡)は、自己テスト回路中へのテスト・ベクトルの走査を可能にし、かつ自己テスト回路からのテスト結果の走査を可能にするために回路のアドレス部分及びデータ部分を通過する、直列走査経路を有する自己テスト回路を開示している。新しいテスト・ベクトル中での走査によってデータは動的に変更されるが、テスト中にデータが変化することにデータ中で走査することのプロセスは非常に時間がかかり、大きなメモリ・アレイのテストが過度に遅く非実用的になる。上記の2件の特許を参照により本明細書に組み込む。

【0005】比較的精巧なABIST回路の一例が、米国特許第5173908号「Built-In Self for Integrated Circuits」(1992年12月22日ドライベルビス(Dreibelbis)他が発行)に開示されている。これも参照により本明細書に組み込む。上記特許で開示されるABIST回路は、メモリ・アレイのテスト用に5つの固定パターンと1つのプログラマブル(PG)パターンを提供している。PGパターンは、ABIST回路によってメモリ・アレイ内のセルに印加される特定のプログラミング・パターン及びシーケンスを決定する構成変数を提供することにより、メモリ・アレイなどの回路をテストする際により大きなフレキシビリティを提供する。

(4)

特開平9-7397

5

【0006】上記米国特許第5173906号のABIST回路内のPGパターン・ジェネレータは、当技術分野で周知の技法である走査チェーン初期設定を用いて適切な構成変数を初期設定する。4個のプログラマブルR/Wラッチと4個のプログラマブル・データ・ラッチの組合せで、2ⁿすなわち256個のプログラミング・シーケンスが得られ、これが各メモリ・アドレスで実行できる。このPGパターンは通常、WC、RC3、RC4の3つのサブサイクルから構成される。1つのサブサイクルは、テスト中のメモリ・アレイ上で実行されるR/W動作を定義する。その際に、そのアドレス空間全体をABIST状態機械のアドレス・カウンタが上昇または下降する。最後のアドレスに達すると、新しいサブサイクルが始まり、アレイのアドレス空間が再度走査される。WCサブサイクルはブランケット書き込みサイクルであり、メモリ・アレイ内のあらゆるセルに1つのゼロまたは1つの1の同じデータが書き込まれる。次にRC3サブサイクルが実行され、その後RC4サブサイクルが続き、この両方の間、メモリ・アレイ内のセルが読み取られまたは書き込まれる。プログラマブル動作が実行するのは、通常はこのRC3及びRC4サブサイクル中である。

【0007】上記特許で開示されたABIST回路のこのRC3及びRC4サブサイクル中の動作を例示する例を下記に示す。この例のアレイは、4×4、すなわちワード線(WL)4本×ビット線(BL)4本である。アレイの状態は、64サイクル(1セル当たり4回の動作×16個のアドレス)の完了後に示される。

【0008】プログラマブル・パラメータの初期設定後の状態を下記に示す。

- 1) プログラマブル・データ・ラッチ=0011
- 2) プログラマブルR/Wラッチ=WRWR
- 3) LSWA
- 【数1】

⊗

LSBA上で反転

- 4) カウント・アップ、リップル・ビット(RB)

【0009】下記に示すアレイは、アレイ内の各セル上で4つのメモリ・サイクルがすべて実行された後のアレイの状態を表す。

1010
0101
1010
0101

【0010】アドレス・カウンタは、WL00、BL00(ビット線を列で表し、ワード線を行で表す)からスタートし、所望のメモリ・サイクルに達するため、プログラマブル・データ・ラッチの諸ビットがR/Wラッチ内の対応する各ビットと突き合わされる。この例では、第1のセルにゼロが書き込まれ(W0)、次のサイクル

6

でそのゼロが読み取られる(R0)。第3サイクルでそのセルに1が書き込まれ(W1)、第4サイクルでその1が読み取られる(R1)。この4つのサイクルを略記してW0R0W1R1シーケンスと記す。次にビット・アドレスが増分され(リップル・ビット・モード(RB))、新しいアドレスWL00、BL01が得られる。「LSBA上で反転」オプションが活動状態の場合、最下位ビット・アドレス(LSBA)がハイなので第2のセルはW1R1W0R0シーケンスを受け取る。次にビット・アドレスが増分されて(RBモード)、WL00、BL02となり、W0R0W1R1シーケンスが実行される。次にこのビット・アドレスがRBモードで増分されてWL00、BL03となり、W1R1W0R0シーケンスが実行される。ビット・アドレスが次に増分されると、WL01、BL00のアドレスとなる。「LSWA上でデータ反転」オプションが活動状態であり、かつ最下位ワード・アドレス(LSWA)がハイなので、このセルはW1R1W0R0シーケンスを受け取る。すなわちデータが反転される。次にアドレスがRBモードでWL01、BL01に増分される。「LSBA上でデータ反転」オプションと「LSWA上でデータ反転」オプションが排他的OR操作されるので、このアドレスではデータの反転は起こらず、W0R0W1R1シーケンスが得られる。アレイ内の16個のメモリ・セルがすべて、それぞれ活動状態のプログラマブル・パラメータに従って4回のメモリ・サイクルを受けるまで、このプロセスが続行する。

【0011】最低パターン繰返し頻度は、ビット(列)次元でもワード(行)次元でも2である。ビット次元では、パターン繰返し頻度は「LSBA上でデータ反転」フラグに依存する。このフラグがセットされていない場合は、そのパターンが各ビットごとに繰返される。このフラグがセットされている場合は、1ビット置きにパターンが繰返される。ワード次元では、パターン繰返し頻度は「LSWA上でデータ反転」フラグに依存する。「LSBA上でデータ反転」フラグも「LSWA上でデータ反転」フラグもセットされている場合は、上述のようにその2つが排他的OR操作される。

【0012】上記明細書第5173906号による従来技術のABISTアーキテクチャは、メモリ・アレイへの特定の1組の読み取り/書き込み(R/W)サイクルのプログラミングを可能にするが、同じR/Wサイクルがアレイ内の各アドレスで実行される。さらに、上記特許のプログラマブル・パターン・ジェネレータは所与のメモリ・サイクル中にどのデータ・ラッチとどのR/W制御ラッチからデータ及び制御が出るかを決定するために、2ビット・カウンタとデコーダを含んでいる。したがって、このデータ生成経路は、復号論理回路を含んでおり、したがってクリティカルなデータ生成経路の遅延が増大し、ABISTの実行が遅くなる。

7

【0013】その上、性能及び技術の進歩が続くにつれて、メモリ・アレイの特徴付けはそれに対してABIST検出パターンが実施されていない未知のメモリ感度を示す可能性がある。したがって、従来技術のABIST回路を使ってはできない、1つのセルから隣接するセルへと感度のテストが可能な、メモリ・アレイ内の隣接するセルに対して異なるR/W動作が実行できる、プログラマブル・パターン・ジェネレータが必要とされている。

【0014】

【発明が解決しようとする課題】本発明の目的は、隣接するメモリ・セルに対する一義的読取り/書き込み動作を可能にするためのプログラマブル・パターン・ジェネレータを備えるメモリ・アレイ組込み自己テスト回路及びテスト方法を提供することである。

【0015】

【課題を解決するための手段】本発明によれば、ABIST回路用のプログラマブル・パターン・ジェネレータは、メモリ・アレイ内の隣接するアドレス位置で異なるR/Wデータ操作の実行を可能にする。このプログラマブル・パターン・ジェネレータは、好適にも、データ・ジェネレータと読取り/書き込みコントローラと周波数コントローラとを含む状態機械を含んでいる。データ・ジェネレータは、そのメモリ・アレイに適したデータ・パターンでプログラムされ、読取り/書き込みコントローラはそのメモリ・アレイに適した読取り/書き込みパターンでプログラムされ、周波数コントローラはそのメモリ・アレイ中のセルごとの読取り/書き込み動作の回数を決定するのに適した頻度情報でプログラムされている。8ビットのデータ・ジェネレータと8ビットの読取り/書き込みコントローラを仮定すると、周波数コントローラは、8つの読取り/書き込み動作がメモリ・アレイ内の異なるセルの間でどのように割り振られるかを選択できるようにする。例えば、周波数コントローラがX8モードのとき、8つの読取り/書き込み動作がすべて単一セル上で実行される。周波数コントローラがX4モードのとき、最初の4つの読取り/書き込み動作が1つのセル上で実行され、二番目の4つの読取り/書き込み動作が次のセル上で実行される。周波数コントローラがX2モードのときは、最初の2つの読取り/書き込み動作が第一のセル上で実行され、次の2つの読取り/書き込み動作が第2のセル上で実行され、次の2つの読取り/書き込み動作が第3のセル上で実行され、最後の2つの読取り/書き込み動作が第4のセル上で実行される。周波数コントローラがX1モードのとき、8つの読取り/書き込み動作がそれぞれ異なるセル上で実行される。プログラマブル・データとプログラマブル読取り/書き込みシーケンスとプログラマブル周波数があり、隣接セルに対して一義的な読取り/書き込みシーケンスを提供することによってメモリ・アレイの決定的テストを可能にし、従来技術よりもずっ

(5)

特開平9-7397

8

と多数の可能な組合せを提供し、これによって、セル間感度のより厳格なテストが可能になる。

【0016】次に、添付の図面に則して本発明の好ましい例示的实施形態について説明する。図面では同じ記号は同じ要素を表す。

【0017】

【発明の実施の形態】図1を参照すると、本発明によりABIST回路は、メモリ・アレイ150をテストするためのプログラマブル・パターン・ジェネレータ回路100を含んでいる。パターン・ジェネレータ100は、好適にはデータ・ジェネレータ102、読取り/書き込み(W/R)コントローラ104、アドレス・カウンタ106、及びアドレス周波数コントローラ108を備えている。メモリ・アレイ150から読み取られたデータは、比較回路160により書き込まれたデータと比較され、比較の成否を示すPASS/FAIL#信号が比較回路によって生成される。データ・ジェネレータ102とR/Wコントローラ104の構成、ならびにアドレス周波数コントローラ108の存在により、メモリ・アレイ150内の隣接するメモリ・セルに異なるR/Wパターンが書き込めるようになり、かつ従来技術のパターン・ジェネレータのデータ生成経路中で復号論理回路が不要となるため、従来技術と比較してプログラマブル・パターン・ジェネレータ100の動作が著しく向上する。

【0018】データ・ジェネレータ102は、テスト中に読み取るべきまたは書き込むべきデータをメモリ・アレイ150へのDATA出力上に生成する。データ・ジェネレータ102は、好適には、シフト・レジスタの構成で配列され論理回路206に結合された8ビット・データ・ラッチ200を含む。データ・ジェネレータ102用の初期データ値は、周知の走査チェーン初期設定方法を用いてデータ・ラッチ200に記憶される。データ・ラッチ200の最下位ビット204の出力202は、好適には、最上位ビット212の入力210に結合されて、バレル・シフタを形成しており、したがって走査チェーン初期設定時にデータ・ジェネレータ102に記憶されたデータ・パターンを保有してテスト中繰り返し使用することもできる。

【0019】読取り/書き込み(R/W)コントローラ104は、テスト中メモリ・アレイ150に読取り及び書き込み制御信号R/Wを生成する。R/Wコントローラ104は、好適にはシフト・レジスタの構成に配列された8ビットのR/Wラッチ300を備える。R/Wコントローラ104の初期値は走査チェーン初期設定によりR/Wラッチ300に記憶される。R/Wラッチ300の最下位ビット304の出力302は、好適には、最上位ビット312の入力310に結合され、データ・ラッチ200と類似のバレル・シフタを形成する。

【0020】アドレス・カウンタ106は、テスト中メモリ・アレイ150のアドレス入力にADDRESS

(6)

特開平9-7387

9

出力を生成する。アドレス・カウンタ108は、好適には、2進カウンタを備え、クロック入力CLKがアドレス周波数コントローラ108のCOUNT出力によって駆動される。アドレス・カウンタ108の方向入力DIRに結合されたUP/DOWN#信号により、アドレス・カウンタ108がカウント・アップする（昇順アドレス）のか、それともカウント・ダウンする（降順アドレス）のかが決まる。アドレス・カウンタ108は好適には、DIR入力の状態に応じてADDRESS出力を増分または減分することにより、メモリ・アレイ150内の順次セルにアクセスする。

【0021】アドレス周波数コントローラ108は、いつそのCOUNT出力をパルスして、アドレス・カウンタ108に次のアドレスをメモリ・アレイ150に駆動させるかを決定する。COUNTの周波数により、8つのプログラム式R/Wサイクルのうちいくつかはそのアドレスの変更前にセル上で実行されるかが決まる。COUNTは走査チェーン初期設定によって設定される2つの符号化入力E0とE1の状態に応じて、メモリ・サイクルごと、2メモリ・サイクルごと、4メモリ・サイクルごと、あるいは8メモリ・サイクルごとにパルスされる。X1は好適にはE0とE1を共に0に初期設定することによって実行される。X1モードでは、COUNTはメモリ・サイクルごとに1回パルスし、アドレス・カウンタ108にサイクルごとにメモリ・アレイ150に対してアドレスを変更させる。したがってX1モードでは、各サブサイクル中に各セルごとに1回のR/W動作しか実行されない。メモリ・アレイ150内の各セルは1回しかアクセスされないで、恐らく書込みはサブサイクルRC3で実行され、それに続いてサブサイクルRC4で読取りが行われるはずである。この配列ではサブサイクルRC3が本質的にブランケット書込みを実行しているので、WCブランケット・サブサイクルが無用になる。ABIST回路内の論理回路（図示せず）はX1モードを検出するとWCサブサイクルをスキップし、テスト中に不要なステップを実行しないことによって時間を節約することができる。

【0022】X2モードは、好適には、E0を0に、E1を1に初期設定することによって実施できる。X2モードでは、COUNTは2メモリ・サイクルごとに1回パルスして、アドレス・カウンタ108に2サイクルごとにアドレスを変更させる。すなわち、X2モードでは、各サブサイクル中に各セルごとに2回のR/W動作が実行される。X4モードでは、好適にはE0を1にE1を0に初期設定することによって実施できる。X4モードでは、COUNTは4メモリ・サイクルごとに1回パルスして、アドレス・カウンタ108にメモリ・アレイ150に対して4回アクセスすることによってアドレスを変更させる。したがってX4モードでは、各サブサイクル中に各セルごとに4回のR/W動作が実行される。X8

10

モードは、好適には、E0とE1を共に1に初期設定することによって実行できる。X8モードでは、COUNTは8メモリ・サイクルごとに1回パルスして、アドレス・カウンタ108に、メモリ・アレイ150に8回アクセスすることによってアドレスを変更させる。したがってX8モードでは、データ・ジェネレータ102とR/Wコントローラ104によって定義される8つのR/W動作がすべて各サブ・サイクル中に各セルごとに実行される。

【0023】データ・ラッチ200と論理回路206の1つの好適な具体的構成を図2に示す。データ・ラッチ200に加えてデータ・ジェネレータ104内の他のラッチも論理回路206の機能を決定するために走査チェーン初期設定中に初期設定される。たとえば、ラッチ220はブランケット書込みビットの値を含んでいる。ラッチ220に1が書き込まれるとブランケット書込みWCサブサイクル中にメモリ・アレイ150にブランケット1が書き込まれる。ラッチ220に0が書き込まれると、WCサブサイクル中にメモリ・アレイ150にブランケット0が書き込まれる。ラッチ222は、「LSBA上で反転」フラグを含んでいる。これが真（ハイ）のとき、ビット・アドレスSTBA0Eの最下位ビットがハイのときは、ゲート240の出力がハイになる。ラッチ224は「LSWA上で反転」フラグを含んでいる。これが真のとき、ワード・アドレスSTWA0Eの最下位ビットがハイのときはゲート242の出力がハイになる。ゲート240と242の出力がゲート236によって排他的OR操作されて、両方のフラグがセットされ、かつビット・アドレスの最下位ビット（LSBA）とワード・アドレスの最下位ビット（LSWA）が共にハイのとき、信号線230上のデータの反転を起さない。次にゲート238の出力234が信号線230上のデータと排他的OR操作され、フラグ222と224によって適切なことが示されたときデータ出力を反転させる。別のラッチ226は「補奇数データ・ビット」フラグを含み、このフラグは真のとき、データ・ラッチ200中に記憶されているデータ・パターン中のデータ・ビットを1つ置きに反転させてからメモリ・アレイ150に出力させる。もう1つのラッチ228は「データ反転」フラグを含んでおり、このフラグは真のときデータ・ラッチ200からのデータ出力を反転させる。ラッチ220～228はすべて走査チェーン初期設定によって初期設定される。

【0024】R/Wコントローラ104及びアドレス周波数コントローラ108の適切な具体的構成を図3に示す。R/Wラッチ300は、各サイクルがメモリ・アレイ150に対する読取りサイクルなのか書込みサイクルなのかを示すビットを含んでおり、0は好適には読取りサイクルを示し、1は好適には書込みサイクルを示す。R/Wラッチ300のこの8個のビットは、データ・ラ

(7)

特開平9-7387

11

ッチ200に記憶されているデータの8個のビットに対応する。例えば、R/Wラッチ300に記憶されている最下位ビットが0であり、かつデータ・ラッチ200に記憶されている最下位ビットが1である場合、メモリ・アレイ150に対する最初の動作は、現アドレスにおける1の読取りとなる。次のサイクルでは、R/Wラッチ300の次のビットがデータ・ラッチ200の次のビットと共に出力され、両方のラッチの8個のビットがすべて出力されるまで以下同様に続き、8つのメモリ・アドレスのパターンが定義される。各メモリ・サイクルごとに可能な4つのアクセスは、0の読取り、1の読取り、0の書き込み、1の書き込みである。

【0025】データ・ラッチ200の他に、R/Wコントローラ104内の他のラッチも走査チェーン初期設定中に初期設定されて、論理回路306の機能を決定する。例えば、ラッチ320は「RC4中R/W制御反転」フラグを含んでおり、このフラグは真（ハイ）のとき、RC4サブサイクル中にアレイ150へのR/Wを反転させる。その上、アドレス周波数コントローラ108内の他のラッチ322及び324も走査チェーン初期設定中に初期設定される。ラッチ322はE0に対応し、ラッチ324はE1に対応する。E0とE1の値により、COUNTパルスの合間に何回のメモリ・サイクルが実行されるかが決まる。E0=0かつE1=0はX1モードに対応し、E0=0かつE1=1はX2モードに対応し、E0=1かつE1=0はX4モードに対応し、E0=1かつE1=1はX8モードに対応する。

【0026】アドレス周波数コントローラ108が存在することが、データ・ラッチ200とR/Wラッチ300内のビット数が増大したとあいまって、PGパターン・ジェネレータ100が生成できる可能なテスト・シーケンスの数が従来技術の場合に比べて大幅に増大する。従来技術のPGパターン・ジェネレータは4個のデータ・ラッチと4個のR/Wラッチしか持っておらず、その結果パターンの組合せは2⁸通り（すなわち256通り）となるが、本発明は8個のデータ・ラッチと8個のR/Wラッチから2¹⁶通りの組合せをもたらし、これに加えてプログラム・アドレス周波数コントローラ108が4つの異なる状態のうちの1つで動作可能なことからさらに2ビットが加わって合計2¹⁸通り、すなわち262,144通りのプログラマブル・パターンの組合せが可能となり、前記米国特許第5,173,906号に記載の従来技術のPGパターン・ジェネレータを使用した場合に256通りのパターンが得られるのに比べて大幅な改善となる。

【0027】PGパターン・ジェネレータ100の様々なモード（すなわち、X1、X2、X4、X8）の機能は、いくつかの具体例を参照すると最もよく理解できよう。4×8メモリ・アレイ（ワード線4本、ビット線8本）をX1モードでテストすると仮定する。RC3サブ

12

サイクル中に以下のプログラムされた条件がある場合、

- 1) データ=01100110
- 2) R/W=WWWWWWWW
- 3) RC4中R/W制御反転
- 4) リップル・ビット（RB）
- 5) LSWA上でデータ反転

以下のアレイが生じ、その結果得られる繰返し頻度はビット次元では4（すなわちビット方向に4ビットごとに繰り返す）、ワード次元では2（すなわちワード方向に2ビットごとに繰り返す）となる。

```
01100110
10011001
01100110
10011001
```

【0028】各メモリ・サイクルは、X1モードでは異なるメモリ・セルに対するものなので、各セルは1回しかアクセスされず、そのシーケンス中で各セルに対してただ1つのステップとなる。RC4サブサイクル中に以下のプログラムされた条件がある場合、

- 1) データ=01100110
- 2) R/W=WWWWWWWW
- 3) RC4中にR/W制御反転
- 4) リップル・ビット（RB）
- 5) LSWA上でデータ反転

同じアレイ・パターンが、RC3中に記憶されたアレイ・パターンと突き合わせて検証される。

```
01100110
10011001
01100110
10011001
```

【0029】上記の例は、X1モードでは書き込みは通常RC3中に実行され、一方読取りはRC4中に実行され、WCブランチット書き込みサブサイクルを実行する必要がなくなることを実証している。

【0030】下記のもう1つの例はX1モードの融通性を実証している。8×4アレイ（ワード線8本にビット線4本）をX1モードでテストすると仮定する。RC3サブサイクル中に以下のプログラムされた条件がある場合、

- 1) データ=00001111
- 2) R/W=WWWWWWWW
- 3) RC4中にR/W制御反転
- 4) リップル・ワード（RW）
- 5) LSBA上でデータ反転

下記のアレイが生じ、その結果得られる繰返し頻度はビット次元では2、ワード次元では8となる。

```
0101
0101
0101
0101
```

13

1010

1010

1010

1010

【0031】RC4サブサイクル中に以下のプログラムされた条件がある場合、

1) データ=00001111

2) R/W=WWWWWWWW

3) RC4中にR/W制御反転

4) リップル・ワード(RW)

5) LSBA上でデータ反転

同じアレイ・パターンがRC3中に記憶されたアレイ・パターンと突き合わせて検証される。

0101

0101

0101

0101

1010

1010

1010

1010

1010

【0032】X2モードでは、連続する2つのメモリ・サイクルで1つのセルがアクセスされる。このため、あるセルを書込み、次のメモリ・サイクルで同じサブサイクル内の読取り動作でその内容を検査することが可能になる。4×4アレイをX2モードでテストすると仮定する。RC3サブサイクル中に以下のプログラムされた条件がある場合、

1) データ=11111100

2) R/W=RWRWRWRW

3) リップル・ワード(RW)

4) LSBA上でデータ反転

下記のアレイが得られ、繰返し頻度はビット次元で2、ワード次元では4となる。

1010

1010

1010

0101

【0033】このアレイは、WL00、BL00に対してR1W1を実行し、続いてWL01、BL00に対してR1W1を実行し、続いてWL10、BL00に対してR1W1を実行し、続いてWL11、BL00に対してROW0を実行することから生じる。次のアクセスはWL00、BL01に対してであり、「LSBA上でデータ反転」フラグがセットされているため、データを反転させることに留意されたい。RC4サイクルではRC3サイクルと同じプログラムされた条件を用い、その結果RC4でRC3のテストを繰り返すこともでき、また全く異なるテストに進むこともできる。X2モードを使用すると、4つの一義的R/Wデータ・シーケンスをビ

(8)

特開平8-7397

14

ット次元またはワード次元で4個の隣接セルに適用することが可能になる。

【0034】X4モードでは、連続する4つのメモリ・サイクルで各セルがアクセスされる。すなわち、現アドレス上でデータとR/Wラッチの内容の半分が使用され、残り4ビットは次のアドレス上で使用される。1つ置きに同じシーケンスに会うので、最大のパターン繰返し頻度は2である。2×2アレイをX4モードでテストすると仮定する。WCサブサイクル中に以下のプログラムされた条件がある場合、

1) プログラム・ブランケット書き込みデータ=1

2) リップル・ビット(RB)

3) LSBA

【数2】

⊗

LSWA上でデータ反転以下のアレイが得られる。

10

01

【0035】RC3サブサイクル中に、以下のプログラムされた条件がある場合、

1) データ=10011111

2) R/W=RWRWRWRW

3) リップル・ビット(RB)

4) LSBA

【数3】

⊗

LSWA上でデータ反転同じアレイが得られる。

30 10

01

【0036】このアレイは、WL0、BL0に対してR1W0ROW1を実行し、続いてWL0、BL1に対してR1W1W1R1を実行し(LSBAによりデータは反転)、続いてWL1、BL0に対してR1W0ROW1を実行し(LSWAによりデータは反転)、続いてWL1、BL1に対してR1W1W1R1を実行する(LSBA

【数4】

⊗

LSWAにより真データ) ことによって生じる。RC4サイクルではRC3サブサイクルと同じプログラムされた条件を用い、その結果RC4でRC3のテストを繰り返すことができ、また異なるテストに変更することもできる。X4モードを使用すると、2つの一義的R/Wデータ・シーケンスをビット次元またはワード次元で2個の隣接セルに適用することが可能になる。

【0037】X8モードでは、連続する8つのメモリ・サイクルで各セルがアクセスされる。すなわちデータとR/Wラッチの内容全部が各セル上で使用される。2×

50

15

2アレイをX8モードでテストすると仮定する。WCサブサイクル中に以下のプログラムされた条件がある場合、

- 1) プログラム・ブランケット書き込みデータ=0
- 2) リップル・ビット(RB)

以下のアレイが生じる。

00

00

【0038】RC3サブサイクル中に以下のプログラムされた条件がある場合、

- 1) データ=00000001
- 2) R/W=RRRRRRRW
- 3) リップル・ワード(RW)

下記のアレイが得られる。

11

11

【0039】このアレイは、WL0、BL0に対してR0R0R0R0R0R0R0W1を実行し、続いて他の3つのアドレスに同じシーケンスを適用する(データ反転なし)ことによって得られる。

【0040】RC4サブサイクル中に以下のプログラムされた条件がある場合、

- 1) データ=11111110
- 2) R/W=RRRRRRRW
- 3) リップル・ワード(RW)
- 4) データ反転

下記のアレイが得られる。

00

00

【0041】上記の例は、本発明による8個のデータ・ラッチ、8個の読取り/書き込みラッチ、4種の頻度状態の組合せによって得られる融通性を例示している。

【0042】前記米国特許に記載の従来技術のPGパターン・ジェネレータは、以下のプログラマブルな特徴を提供している。

- 1) プログラマブルな4ビット・データ・パターン
- 2) プログラマブルな4ビットR/Wパターン
- 3) RC4中にデータ反転
- 4) LSWA上でデータ反転
- 5) LSBA上でデータ反転
- 6) 補奇数データ・ビット
- 7) リップル・ビット・アドレス(RB)/リップル・ワード・アドレス(RW)
- 8) プログラマブルな最大アドレス

【0043】上記の従来技術の特徴を、下記に列挙する本発明の特徴と比較されたい。なお新規の特徴はAで示す。

- 1A) プログラマブルな8ビット・データ・パターン
- 2A) プログラマブルな8ビットR/Wパターン
- 3) RC4中にデータ反転

(9)

特開平9-7397

16

- 4) LSWA上でデータ反転
- 5) LSBA上でデータ反転
- 6) 補奇数データ・ビット
- 7) リップル・ビット・アドレス(RB)/リップル・ワード・アドレス(RW)
- 8) プログラマブルな最大アドレス
- 9A) プログラマブルな2ビット周波数パターン
- 10A) RC4中にR/W制御反転
- 11A) LSWA上でデータ反転★LSBA上でデータ

10 反転

- 12A) 第2LSWA上でデータ反転★第2LSBA上でデータ反転

上記で★はAND、OR、NAND、NOR、XORなどのブール関数を示す。

【0044】LSWA

【数5】

⊗

LSBAのブール関数は図2に詳しく示した。LSWAとLSBAの異なるブール組合せ用の追加の論理は、当業者が周知の従来の回路と方法によって実施できよう。しかし、様々なブール関数が本発明の範囲に含まれる。

【0045】本発明によるプログラマブル・パターン・ジェネレータは、能力とフレキシビリティが大幅に向上した他、従来技術のカウンタと復号方式が不要となる。データ・ラッチとR/Wラッチ両方にシフト・レジスタを使用することにより、クリティカルなデータ・ジェネレータ経路からカウンタとデコーダが除去され、そのためデータを生成するための時間が短縮され、したがってシステム性能が向上する。この改良により、追加のデータ・ラッチと読取り/書き込みラッチ用の名目論理回路、ならびに追加のプログラマブルな特徴に関連するその他の論理回路を増設するだけで、カウンタとデコーダは除去される。したがって本発明は最小限の回路と設備を追加するだけで大幅に改善された動作を実現する。

【0046】以上本発明をその好ましい例示の実施形態を参照して具体的に示し説明してきたが、本発明の趣旨ならびに範囲から逸脱することなしにその形態及び細部に様々な変更を加えられることが当業者なら理解されよう。例えば、可能なシーケンスの数をさらに増加する目的でデータ・ラッチ及び読取り/書き込みラッチ中のビット数を拡張し、あるいはアドレス周波数コントローラのビットまたは状態の数を拡張することは、本発明の範囲内に明確に含まれる。さらに、図面では様々な導線や接続を単一線として示してあるが、これは限定的な意味で示したのではなく、当業界では当然とされているように複数の導線や接続を含むことができる。

【0047】まとめとして、本発明の構成に関して以下の事項を開示する。

【0048】(1) 外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレー

50

(10)

特開平9-7397

17

タを備える、メモリ・アレイ用オンチップ組込みテスト回路であって、前記パターン・ジェネレータが前記メモリ・アレイに対する読取り／書込み制御を提供する読取り／書込みコントローラと、前記メモリ・アレイにデータを提供するデータ・ジェネレータと、アドレス周波数コントローラとを備え、前記外部コントローラが前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクル数を決定することを特徴とするテスト回路。

(2) 前記アドレス周波数コントローラと前記メモリ・アレイとに結合され、前記メモリ・アレイにアドレスを提供し、かつ前記メモリ・アレイの各アドレスごとに1回クロックされる前記アドレス周波数コントローラからのクロック出力に応じて次のアドレスまでカウントする、アドレス・カウンタをさらに備える、上記(1)に記載の回路。

(3) 前記読取り／書込みコントローラが、パレル・シフト・レジスタを形成する読取り／書込みラッチを備えることを特徴とする、上記(1)に記載の回路。

(4) 読取り／書込みラッチの数が少なくとも2個であることを特徴とする、上記(3)に記載の回路。

(5) 前記データ・ジェネレータが、パレル・シフト・レジスタを形成するデータ・ラッチを備えることを特徴とする、上記(1)に記載の回路。

(6) データ・ラッチの数が少なくとも8個であることを特徴とする、上記(5)に記載の回路。

(7) 前記データ・ジェネレータからのデータを所定の条件下で反転する論理手段をさらに備える、上記(1)に記載の回路。

(8) 有意のワード・アドレスと有意のビット・アドレスが所定のブール関係を有するときに前記論理手段がデータを反転することを特徴とする、上記(7)に記載の回路。

(9) 前記読取り／書込みコントローラからの読取り／書込み制御を所定の条件下で反転する論理手段をさらに備える、上記(1)に記載の回路。

(10) 外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレータ状態機械を備える、メモリ・アレイ用のオン・チップ組込みテスト回路であって、前記状態機械が前記メモリ・アレイに読取り／書込み制御を提供する出力を有する第1のパレル・シフト・レジスタを形成する少なくとも2個の読取り／書込みラッチを備える読取り／書込みコントローラと、前記メモリ・アレイにデータを提供する出力を有する第2のパレル・シフト・レジスタを形成する少なくとも2個のデータ・ラッチを備えるデータ・ジェネレータと、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対する

18

サイクル数のそれぞれごとに1回パルスされるクロック出力を有するアドレス周波数コントローラと、前記アドレス周波数コントローラと、前記メモリ・アレイとに結合され、前記メモリ・アレイにアドレスを提供し、かつ前記アドレス周波数コントローラのクロック出力に応じて次のアドレスまでカウントする、アドレス・カウンタとを備え、前記外部コントローラが前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクルの数を決定することを特徴とするテスト回路。

(11) 前記アドレス周波数コントローラが、前記メモリ・アレイに対する各サイクルごとに1回そのクロック出力をパルスすることを特徴とする、上記(10)に記載の回路。

(12) 前記アドレス周波数コントローラが、前記メモリ・アレイに対する2サイクルごとに1回そのクロック出力をパルスすることを特徴とする、上記(10)に記載の回路。

(13) 前記アドレス周波数コントローラが、前記メモリ・アレイに対する4サイクルごとに1回そのクロック出力をパルスすることを特徴とする、上記(10)に記載の回路。

(14) 前記アドレス周波数コントローラが、前記メモリ・アレイに対する8サイクルごとに1回そのクロック出力をパルスすることを特徴とする、上記(10)に記載の回路。

(15) メモリ・アレイの適当な読取り／書込み制御信号に結合された読取り／書込みコントローラと、前記メモリ・アレイの適当なデータ信号に結合されたデータ・ジェネレータと、前記メモリ・アレイの適当なアドレス信号に結合されたアドレス・カウンタと、前記アドレス・カウンタのクロック入力に結合され、前記クロック入力をパルスする前にパターン・ジェネレータが実行する、メモリ・アレイに対するサイクルの数を決定するための、アドレス周波数コントローラとを備える、外部コントローラとメモリ・アレイとに結合されたプログラマブル・パターン・ジェネレータを提供するステップと、前記外部コントローラによって、適当な読取り／書込みパターンを前記読取り／書込みコントローラ中にプログラムするステップと、前記外部コントローラによって、適当なデータ・パターンを前記データ・ジェネレータ中にプログラムするステップと、前記アドレス周波数コントローラ中に適当な周波数パターンをプログラムして、前記メモリ・アレイの各アドレスで前記パターン・ジェネレータが実行する、前記メモリ・アレイに対するサイクル数を決定するステップと、前記アドレス・カウンタに含まれる第1アドレスでメモリ・アレイに対して少なくとも1つのサイクルを実行するステップと、前記アド

(11)

特開平9-7397

19

レス周波数コントローラによって決定される、前記メモリ・アレイに対するサイクル数を前記パターン・ジェネレータが実行したとき、前記アドレス周波数コントローラによって前記アドレス・カウンタのクロック入力をパルスすることにより、前記アドレス・カウンタを次のアドレスに進めるステップとを含む、メモリ・アレイをテストする方法。

【図面の簡単な説明】

【図1】本発明によるABIST回路用のプログラマブル・パターン・ジェネレータのブロック図である。

【図2】図1のデータ・ジェネレータの1つの具体的実施形態の概略図である。

20

【図3】図1の読取り/書き込みコントローラ及び周波数コントローラの概略図である。

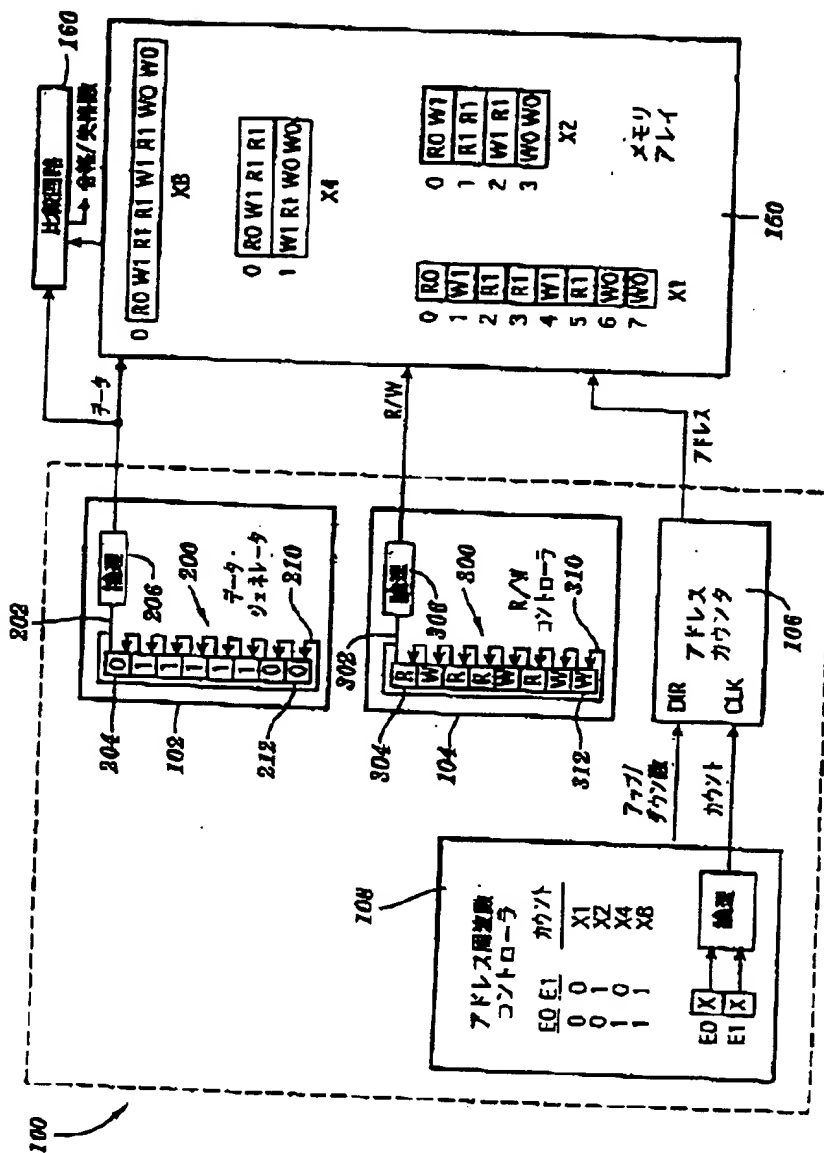
【符号の説明】

100 パターン・ジェネレータ
102 データ・ジェネレータ
104 読取り/書き込み(R/W)コントローラ
106 アドレス・カウンタ
108 アドレス周波数コントローラ
150 メモリ・アレイ
160 比較回路
200 データ・ラッチ
300 R/Wラッチ

10

待開平 9-7387

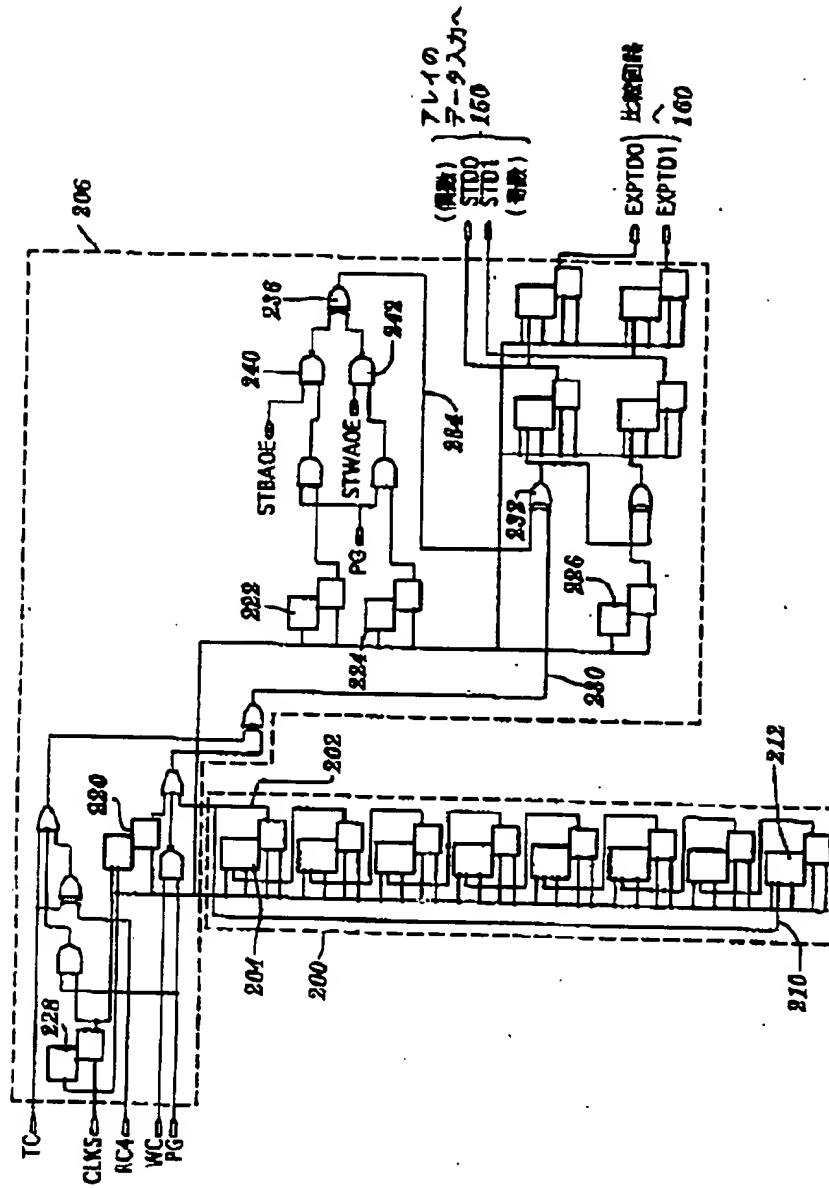
【 1 】



(13)

特開平9-7397

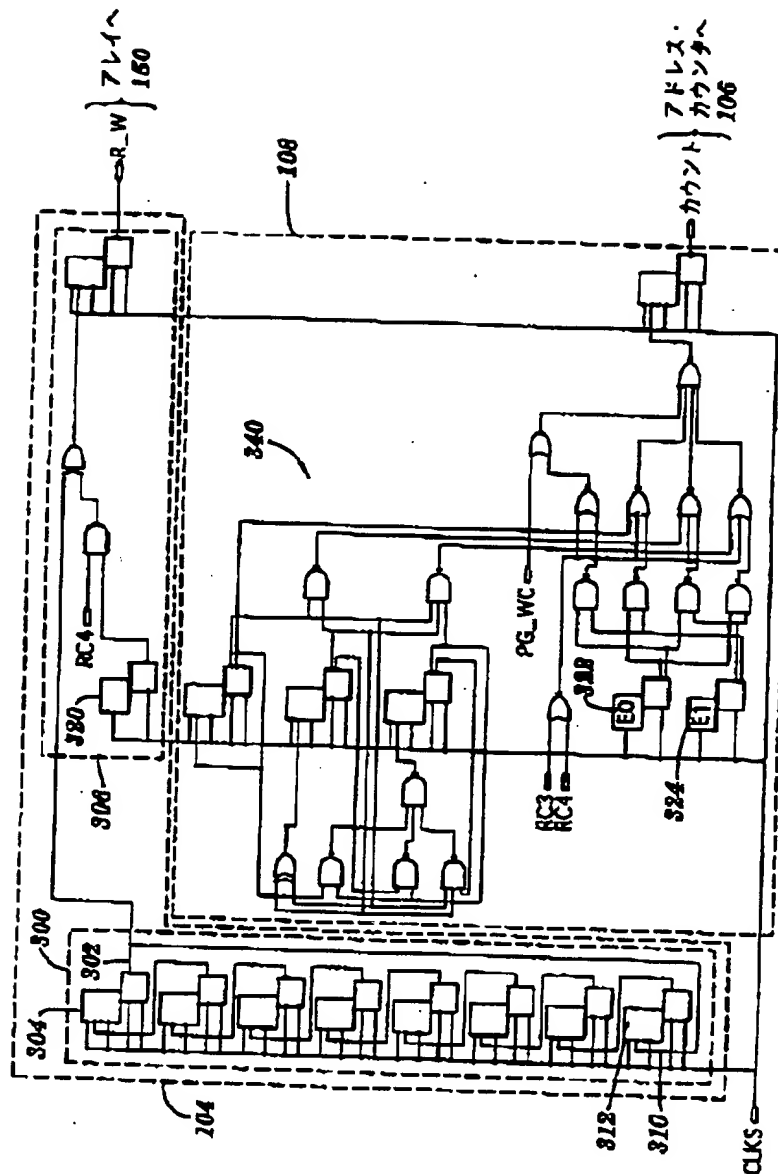
【图2】



(14)

特開平8-7997

【図3】



フロントページの続き

(72)発明者 ジョン・コナー
 アメリカ合衆国05452 バーモント州バー
 リントンローリー・レーン 64

(72)発明者 ギャレット・ステープン・コッホ
 アメリカ合衆国05464 バーモント州ケン
 ブリッジバートレット・ヒル・ロード

(15)

特開平9-7397

(72)発明者 ルイジ・テルヌッロ・ジュニア
アメリカ合衆国05446 バーモント州コル
チェスター グレイ・バーチ・ドライブ
19ビー